

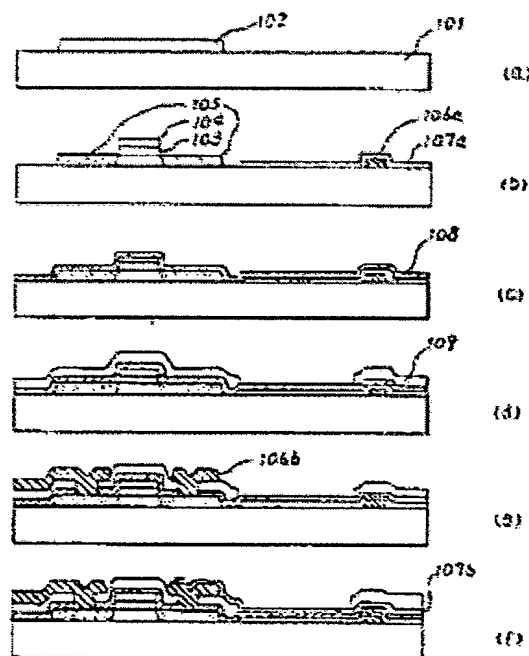
# THIN FILM TRANSISTOR

**Patent number:** JP2044769  
**Publication date:** 1990-02-14  
**Inventor:** KIMURA ETSUKO; MIMURA AKIO; WATANABE MASARU; SUZUKI TAKASHI; YOSHIMURA MASAO  
**Applicant:** HITACHI LTD  
**Classification:**  
**- international:** *G02F1/136; G02F1/1368; H01L21/205; H01L21/336; H01L27/12; H01L29/78; H01L29/786; G02F1/13; H01L21/02; H01L27/12; H01L29/66; (IPC1-7): G02F1/136; H01L21/205; H01L27/12; H01L29/784*  
**- european:**  
**Application number:** JP19880194422 19880805  
**Priority number(s):** JP19880194422 19880805

Report a data error here

## Abstract of JP2044769

**PURPOSE:** To improve display characteristics and operating characteristics by forming a plurality of insulating films having different etching resistances in such a manner that the lower layer has higher etching resistance than that of the upper layer, selectively removing only a charge holding capacitor to form an insulating film of the capacitor on a lower electrode. **CONSTITUTION:** A normal pressure CVD-PSG film 109 of first layer interlayer insulating film is formed in a desired thickness as the thickness of an interlayer insulating film of a gate and a cross. Then, the CVD-PSG film is selectively removed only at the capacitor by photoetching by utilizing the fact that the etching resistance of a ECR microwave plasma CVD-SiO<sub>2</sub> film 108 is higher than that of the CVD-PSG film. Accordingly, even when a transparent conductive film such as a ITO film is used as the lower electrode of the charge holding capacitor, the thickness of the interlayer insulating film can be increased, and the thickness of the insulating film of the capacitor can be thinly formed with good controllability. Thus, a thin film transistor having satisfactory display characteristic and operating characteristics can be obtained with high yield.



Data supplied from the *esp@cenet* database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

## ⑫ 公開特許公報(A) 平2-44769

⑬ Int. Cl.<sup>9</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)2月14日

H 01 L 27/12  
G 02 F 1/136

5 0 0 A

7514-5F  
7370-2H  
8624-5F

H 01 L 29/78 3 1 1 A※

審査請求 未請求 請求項の数 7 (全6頁)

⑮ 発明の名称 薄膜トランジスタ

⑯ 特 願 昭63-194422

⑰ 出 願 昭63(1988)8月5日

⑱ 発 明 者 木 村 悦 子 茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内

⑱ 発 明 者 三 村 秋 男 茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内

⑱ 発 明 者 渡 辺 大 茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内

⑱ 発 明 者 鈴 木 隆 茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外2名

最終頁に続く

## 明 細 書

## 1. 発明の名称

薄膜トランジスタ

## 2. 特許請求の範囲

1. 半導体層に多結晶シリコン又はアモルファスシリコンを用いた薄膜トランジスタにおいて、ゲート電極と表示電極との間の層間絶縁膜が少なくとも2種類の特性の異なる絶縁膜で形成された2層以上の積層構造から成り、該層間絶縁膜の少なくとも1層以上が、表示電極に接続された画素電極と、該層間絶縁膜の下部に設けた透明導電膜より成る下部電極との間にはさまれて成る電荷保持用キャパシタを有し、かつ、該層間絶縁膜よりも該電荷保持用キャパシタ部の絶縁膜の積層数が少なく、該層間絶縁膜の膜厚が該電荷保持用キャパシタ部の絶縁膜の膜厚よりも厚いことを特徴とする薄膜トランジスタ。
2. 層間絶縁膜が、エッチング耐性の異なる複数種の絶縁膜を積層した構造で、下層が上層よりエッチング耐性が優れている絶縁膜の組合せで

構成されていることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

3. 層間絶縁膜の第一層がECRマイクロ波プラズマCVD法により形成したSiO<sub>2</sub>膜、第二層が常圧CVD法により形成したSiO<sub>2</sub>膜又はPSG膜であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。
4. 層間絶縁膜の第一層が常圧CVD法により形成したSiO<sub>2</sub>膜、第二層が常圧CVD法により形成したPSG膜であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。
5. 層間絶縁膜の第一層がプラズマCVD法により形成したSiNx膜、第二層が常圧CVD法により形成したSiO<sub>2</sub>膜又はPSG膜であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。
6. 層間絶縁膜の第一層が常圧CVD法により形成したSiO<sub>2</sub>膜又はPSG膜、第二層がプラズマCVD法により形成したSiNx膜、第三層が常圧CVD法により形成したSiO<sub>2</sub>膜又

## 特開平2-44769 (2)

はPSG膜であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

7. 層間絶縁膜の第一層が常圧CVD法により形成した $\text{SiO}_2$ 膜又はPSG膜、第二層がECRマイクロ波プラズマCVD法により形成した $\text{SiO}_2$ 膜、第三層が常圧CVD法により形成した $\text{SiO}_2$ 膜又はPSG膜であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は液晶やエレクトロ・ルシネセンス等の平面ディスプレイの駆動用トランジスタ等に利用できる薄膜トランジスタに関する。

## 〔従来の技術〕

近年、大画面、高精細の次世代フラット、パネル、カラーディスプレイとして薄膜トランジスタ（以下TFTと略記）を用いたアクティブマトリクス方式液晶ディスプレイの開発が盛んに行なわれている。第2図にアクティブマトリクス方式に

よる一画素の等価回路の一例を示す。21、22は $i$ 、 $i+1$ 行目のゲート配線、23、24は $j$ 、 $j+1$ 列目のドレイン配線、25は $j$ 列目の共通配線をそれぞれ示す。また、26は $i$ 行 $j$ 列目のスイッチングTFTを、27は電荷保持用キャパシタを、28は液晶自体のキャパシタを示す。同図において、電荷保持用キャパシタ27の役割は、液晶の抵抗低下、及びTFTのオフ電流の増加によるリーク電流の増加が原因である表示品質の低下を補償することである。第3図に電荷保持用キャパシタを有する従来構造TFTの断面構造図及び製造工程を示す。ガラス基板301上に多結晶シリコン膜から成る半導体層の島302を形成する（第3図（a））、次に半導体層302上にCVD法によりゲート酸化膜303及び第2の多結晶シリコン膜304を形成し、ホト・エッチングによりパターニングしてゲート電極形状を形成する（第3図（b））。次いで、イオン打ち込み、又は熱拡散等によりソース、及びドレイン領域305を形成する。次いでA<sub>1</sub>等の金属膜を堆

積、ホト・エッチングにより一層目の電極配線306a（ゲート配線、共通配線）を形成し、次いでITO膜等の透明導電膜を堆積して、ホト・エッチングによりパターニング、電荷保持用キャパシタの下部電極307aを形成する（第3図（c））。次に層間絶縁膜308を形成し、ホト・エッチングによりコンタクトホール309を形成する（第3図（d））。次にA<sub>1</sub>等の金属膜を堆積、ホト・エッチングにより2層目の電極配線306b（ドレイン配線）を形成する（第3図（e））。最後にITO膜等の透明導電膜を堆積して、ホト・エッチングによりパターニング、画素電極307bを形成し、電荷保持用キャパシタを形成する（第3図（f））。（f）の構造では、層間絶縁膜308がそのまま電荷保持用キャパシタの絶縁膜として使用されている。層間絶縁膜308はゲート部及びクロス部の配線間のリークを防ぎ、十分な耐圧を確保するために膜厚1 $\mu\text{m}$ 程度の十分厚い膜が必要とされる。一方、十分な表示特性及び動作特性を得るためには電荷保持キャ

パシタ部の容量値を大きくする必要があり、電荷保持キャパシタ部の絶縁膜の膜厚を十分薄くする必要がある。（液晶自体のキャパシタの約10倍の容量を電荷保持用キャパシタで補償する場合、画素表示部の面積を10000 $\mu\text{m}^2$ とすると、液晶自体の容量は約1.5 pFとなり、電荷保持用キャパシタの容量として15 pF必要となる。層間絶縁膜として $\text{SiO}_2$ 膜を使用する場合、この容量値を実現するためには、 $\text{SiO}_2$ 膜の膜厚として約2500Å必要となる。）上記の理由より、ゲート部及びクロス部の層間絶縁膜の膜厚を十分厚く、電荷保持用キャパシタ部の絶縁膜の膜厚を十分薄く形成する技術が新たに必要となる。最も安易な解決策は、第3図（d）において層間絶縁膜308形成後、ホト・エッチングにより電荷保持キャパシタ部のみ層間絶縁膜308の膜厚を薄くすることである。しかしながら、一般に層間絶縁膜308はCVD法により形成したPSG膜等が使用されており、これらの膜のフッ酸系エッチャント等に対するエッチングレートは速く、エツ

## 特開平2-44769 (3)

チングの制御が難しい。そのため、所望の膜厚でエッチングを終了することは実際上困難である。

上記の方法によらずに上述の目的を達成する方法として特開昭58-106861が挙げられる。第4図はその実施例である。まず、透明基板401上に多結晶シリコン膜から成る半導体の島402を形成する(第4図(a))。前記多結晶シリコンの表面を酸化してゲート絶縁膜403を形成し、さらに第2の多結晶シリコン膜を形成し、ホト・エッチングによりゲート電極及び電荷保持キャパシタの下部電極形状404、405を形成する(第4図(b))。次に404、405、406の領域に不純物ドーパを施し、次いで層間絶縁膜407をCVD法により全面に形成後、下部電極405上の層間絶縁膜をホト・エッチングにより取り除く(第4図(c))。次いで、この状態で下部電極405の表面を酸化することにより電荷保持用キャパシタの絶縁膜408を形成する(第4図(d))。以下の工程は第3図(d)~(f)と同様である。この方法によれば上述の目的は一

応達成される。しかしながら、この方法では、多結晶シリコンの酸化により電荷保持キャパシタの絶縁膜を形成するため、電荷保持用キャパシタの下部電極405として多結晶シリコン膜を使用することになり、画素表示部の透過率の低下は避けられない。電荷保持用キャパシタ部の絶縁膜408の形成法としてCVD法によりSiO<sub>2</sub>膜を堆積する方法も提案しているが、第4図(e)において下部電極405上に形成した層間絶縁膜407を除去する工程があり、ITO膜等の透明導電膜は一般の酸、特に層間絶縁膜のエッチャントであるフッ酸系エッチャントに対する耐性がないため、やはり、下部電極としての多結晶シリコン膜の使用は避けられない。従つて画素表示部の透過率の低下は避けられなかった。

〔発明が解決しようとする課題〕

以上述べた様に、従来技術においては、ゲート部及びクロス部の層間絶縁膜の膜厚を十分厚く、電荷保持用キャパシタ部において、ITO膜等の透明導電膜より成る下部電極上に、絶縁膜を制御

性良く十分薄く形成することが困難であり、したがって、表示特性及び動作特性が良好で信頼性の高い薄膜トランジスタを歩留り良く実現することが困難であつた。本発明の目的は、ITO膜等の透光性に優れた透明導電膜を用いた電荷保持用キャパシタを有する多結晶シリコンTFTにおいて、ゲート部及びクロス部の層間絶縁膜の膜厚が十分厚く、電荷保持用キャパシタ部の絶縁膜の膜厚が制御性良く十分薄く形成することであり、これにより、表示特性及び動作特性が良好で信頼性の高い多結晶シリコンTFTを歩留り良く実現することである。

〔課題を解決するための手段〕

上記目的は、複数のエッチング耐性の異なる絶縁膜を形成し、下層を上層よりエッチング耐性の優れた絶縁膜とする組合せにより、エッチング耐性の違いを利用して電荷保持用キャパシタ部のみその一部を選択的に除去してITO膜等の透明導電膜より成る下部電極上にキャパシタ部の絶縁膜を形成することにより達成できる。

〔作用〕

複数のエッチング耐性の異なる絶縁膜を積層して層間絶縁膜を形成し、下層を上層より優れたエッチング耐性を有する組合せとすることにより、耐性の違いを利用して電荷保持用キャパシタ部のみその一部を選択的に除去することで、ITO膜等の透明導電膜を電荷保持用キャパシタの下部電極に用いた場合でも、層間絶縁膜の膜厚を厚く、キャパシタ部の絶縁膜の膜厚を制御性良く薄く形成することができる。これにより、ゲート部及びクロス部の配線のリーク、ショート等の欠陥を派生することなく、画像表示に十分な容量値を有するキャパシタを容易に形成でき、表示特性及び動作特性が良好で信頼性の高い薄膜トランジスタを歩留り良く実現できる。

〔実施例〕

以下、本発明の実施例を第1図を用いて説明する。第1図は本発明の一実施例である多結晶シリコンTFTの断面構造図及び製造工程であり、一層目の層間絶縁膜としてECRマイクロ波プラズ

## 特開平2-44769 (4)

マCVD法で形成した $\text{SiO}_2$ 膜を、二層目の層間絶縁膜として常圧CVD法で形成したPSG膜を使用した例である。ECRマイクロ波プラズマCVD法により得られる $\text{SiO}_2$ 膜は、膜がち密であり、フッ酸系エッチャントに対するエッチングレートも熱酸化により形成した $\text{SiO}_2$ 膜とほぼ同等の値を有する。一方、常圧CVD法で形成したPSG膜は、一般に膜が多孔質であり、フッ酸系エッチャントに対するエッチングレートも極めて大きい。(ECRマイクロ波プラズマCVD- $\text{SiO}_2$ 膜のエッチングレートを1とすると、常圧CVD-PSG膜のエッチングレートは10~20である。)フッ酸系エッチャントに対する一層目と二層目の層間絶縁膜の選択比は十分であり、これにより、二層目の常圧CVD-PSG膜のみを選択的にエッチング除去して、電荷保持用キャパシタ部の絶縁膜の膜厚を制御性良く十分薄くすることができる。加えて電荷保持用キャパシタ部の下部電極に直接接している一層目のECRマイクロ波プラズマCVD- $\text{SiO}_2$ 膜を除去す

る必要がないため、フッ酸系エッチャントに対する耐性のないITO膜等の透明導電膜を下部電極に使用することができる。

なお、ドライエッチングにおいても、フッ酸系ガスをエッチングガスに用いているため、同様のことが言える。

以下製造工程を説明する。まず、ガラス基板101上に多結晶シリコン膜から成る半導体層の島102を形成する(第1図(a))。次に、半導体層102上に常圧CVD法によりゲート酸化膜103、及び第2の多結晶シリコン膜104を形成して、ホット・エッチングによりパターンニングしてゲート電極形状を形成する。次いでイオン打ち込み等によりソース及びドレイン領域105を形成する。次にAl等の金属膜を堆積、ホット・エッチングにより一層目の電極配線106aを形成し、次いでITO膜等の透明導電膜を堆積して、ホット・エッチングによりパターンニング、電荷保持用キャパシタの下部電極107aを形成する(第3図(b))。ここまでの工程は、第3図に示し

た従来構造の多結晶シリコンTFTの製造工程(a)~(c)と同一である。次に、一層目の層間絶縁膜である常圧CVD-PSG膜109を、ゲート部及びクロス部の層間絶縁膜の膜厚として所望の膜厚だけ全面に形成する。次いで、ECRマイクロ波プラズマCVD- $\text{SiO}_2$ 膜の方が常圧CVD-PSG膜よりもエッチング耐性が優れていることを利用して、ホット・エッチングにより電荷保持用キャパシタ部のみ常圧CVD-PSG膜を選択的に取り除く(第3図(d))。以下の工程は第3図(d)~(f)と同一である。すなわち、ホット・エッチングによりコンタクトホールを形成し、次いでAl等の金属膜を堆積、ホット・エッチングにより二層目の電極配線106bを形成する(第1図(e))。最後にITO膜等の透明導電膜を堆積して、ホット・エッチングによりパターンニング、画素電極107bを形成し、電荷保持用キャパシタを形成する(第1図(f))。

上記の実施例において、一層目と二層目の層間絶縁膜の種類組み合わせは、一層目が二層目の層

間絶縁膜よりエッチング耐性が優れており、二層目のみの選択エッチングが可能な組合せであれば良く、例えば、一層目がECRマイクロ波プラズマCVD $\text{SiO}_2$ 膜、二層目が常圧CVD- $\text{SiO}_2$ 膜、一層目が常圧CVD- $\text{SiO}_2$ 膜、二層目が常圧CVD-PSG膜、一層目がプラズマCVD- $\text{SiN}_x$ 膜、二層目が常圧CVD- $\text{SiO}_2$ 膜又は常圧CVD-PSG膜等の組合せが考えられる。

また、上記の実施例において、層間絶縁膜の積層構造を3層構造として、2層目の層間絶縁膜にエッチング耐性の優れた絶縁膜を形成し、この絶縁膜をエッチングのストッパとして用いることもできる。この場合、電荷保持用キャパシタ部の絶縁膜は、一層目と二層目の層間絶縁膜で形成されることになる。例えば、一層目が常圧CVD- $\text{SiO}_2$ 膜又は常圧CVD-PSG膜、二層目がECRマイクロ波プラズマCVD- $\text{SiO}_2$ 膜又はプラズマCVC- $\text{SiN}_x$ 膜、三層目が常圧CVD- $\text{SiO}_2$ 膜又は常圧CVD-PSG膜等

## 特開平2-44769 (5)

の組合せが考えられる。

## 〔発明の効果〕

本発明によれば、ITO膜等の透光性に優れた透明導電膜を電荷保持用キャパシタの下部電極に用いた場合でも、層間絶縁膜の膜厚を厚く、電荷保持用キャパシタ部の膜厚を制御性良く薄く形成できるので、ゲート及びクロス部の配線の欠陥を派生することなく、画像表示に十分な容量値を有するキャパシタを容易に形成できる。これにより、表示特性及び動作特性が良好で信頼性の高い薄膜トランジスタを歩留り良く形成することができる。

## 4. 図面の簡単な説明

第1図は本発明の一実施例による多結晶シリコンTFTの断面構造及びその製造工程を示す図、第2図はアクティブマトリクス方式による一画素の等価回路図、第3図及び第4図は従来構造の多結晶シリコンTFTの断面構造及びその製造工程を示す図である。

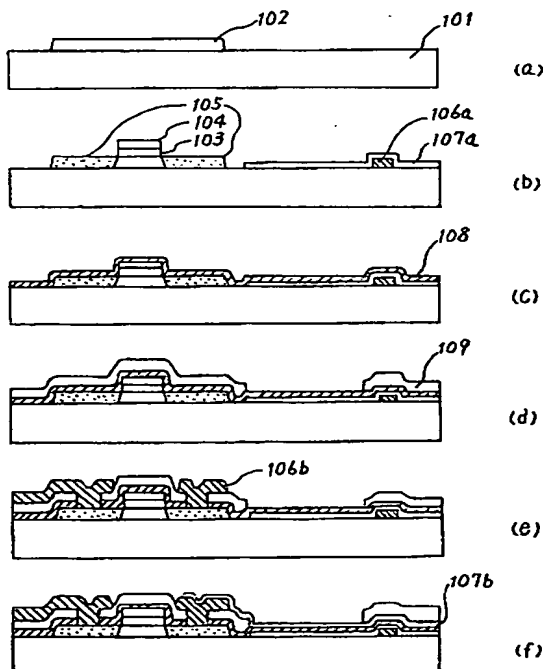
101…ガラス基板、102、104…多結晶シリコン膜、103…常圧CVD-SiO<sub>2</sub>膜、

106a、106b…A<sub>2</sub>配線、107a、107b…ITO膜、108…ECRマイクロ波プラズマCVD-SiO<sub>2</sub>膜、109…常圧CVD-PSG膜、105…ソース及びドレイン領域形成部。

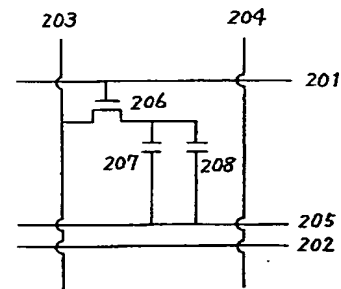
代理人 弁理士 小川勝男



第1図

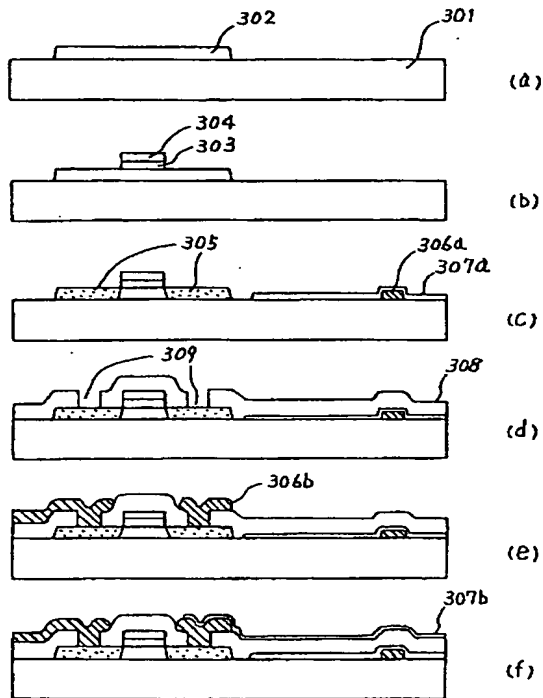


第2図

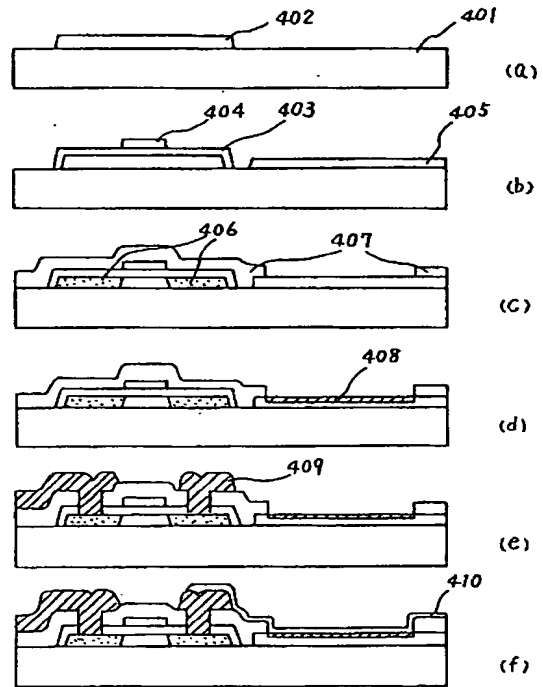


## 特開平2-44769 (6)

第3図



第4図



第1頁の続き

⑤Int. Cl.<sup>5</sup>H 01 L 21/205  
29/784

識別記号

庁内整理番号

7739-5F

⑦発 明 者 吉 村 雅 夫

茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内

(19)【発行国】日本国特許庁(JP)  
(12)【公報種別】公開特許公報(A)  
(11)【公開番号】特開平3-280018  
(43)【公開日】平成3年(1991)12月11日  
(54)【発明の名称】液晶表示装置  
(51)【国際特許分類第5版】  
G02F 1/136 500  
H01L 27/04  
H01L 29/784  
【審査請求】＊  
【全頁数】9  
(21)【出願番号】特願平2-81707  
(22)【出願日】平成2年(1990)3月29日  
(71)【出願人】  
【識別番号】999999999  
【氏名又は名称】ソニー株式会社  
【住所又は居所】＊  
(72)【発明者】  
【氏名】林久雄  
【住所又は居所】＊

(57)【要約】本公報は電子出願前の出願データであるため要約のデータは記録されません。



**【特許請求の範囲】**

薄膜トランジスタを用いたアクティブマトリックス方式の液晶表示装置において、

各画素の付加容量は、上記薄膜トランジスタのチャンネルを構成する薄膜とゲート電極を構成する薄膜を両電極として該両電極間に上記薄膜トランジスタのゲート絶縁膜より薄い誘電体膜を有し、単位面積当りの容量が上記薄膜トランジスタの単位面積当りのゲート容量より大となるように構成されて成る液晶表示装置。